



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001101965 A**(43) Date of publication of application: **13.04.01**

(51) Int. Cl.

H01J 1/304
G09F 9/30
H01J 29/04
H01J 29/87
H01J 31/12

(21) Application number: **11278127**(22) Date of filing: **30.09.99**(71) Applicant: **HITACHI LTD**

(72) Inventor:
KUSUNOKI TOSHIAKI
SUZUKI MUTSUMI
SAGAWA MASAKAZU
ISHIZAKA AKITOSHI

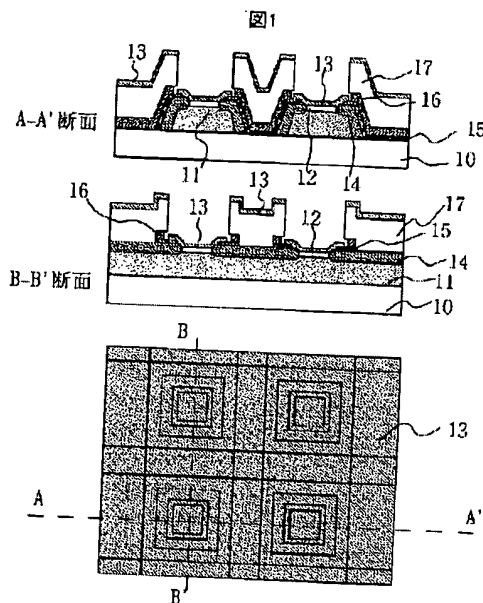
(54) **THIN FILM ELECTRON SOURCE AND DISPLAY DEVICE USING IT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a thin film electron source matrix with high electron emission efficiency and easiness in erecting a spacer, and to provide a display device with higher brightness, higher image quality and higher yield.

SOLUTION: Passivation layer 17 is formed of an insulator that has an electron emission portion formed on upper bus electrodes 15 and 16 and an opening portion formed on contact portion between upper electrodes and upper bus electrodes.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P) (12) 公 開 特 許 公 報 (A)

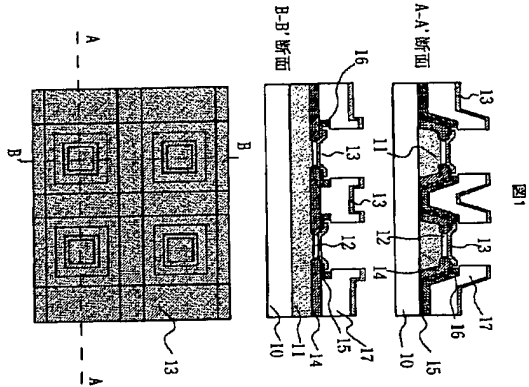
(11)特許公開番号
特開2001-101965
(P2001-101965A)
(43)公開日 平成13年4月13日(2001.4.13)

(51)Int.Cl. ⁷	識別記号	F I	フーバー(参考)
H 0 1 J	1/304	G 0 9 F	9/30 3 6 0 5 C 0 3 1
G 0 9 F	9/30	H 0 1 J	29/04 5 C 0 3 2
H 0 1 J	29/04		29/87 5 C 0 3 6
	29/87		31/12 C 5 C 0 9 4
	31/12		1/30 F
審査請求 未請求 請求項の数 6 O L (全 12 頁)			

(21) 出願番号	特願平11-278127	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田豊河台四丁目6番地
(22) 出願日	平成11年9月30日(1999.9.30)	(72) 発明者	楠 敏明 茨城県日立市大みか町七丁目1番1号 株 式会社日立製作所日立研究所内
		(72) 発明者	鈴木 健三 茨城県日立市大みか町七丁目1番1号 株 式会社日立製作所日立研究所内
		(74) 代理人	100075096 弁理士 作田 康夫

最終頁に続く

- (54) 【発明の名称】 薄膜型電子源、およびそれを用いた表示装置
- (57) 【要約】
【課題】 電子放出効率の高く、スベーサを立てやすい薄膜電子源、トリクスを得、高輝度、高画質、高歩留まりの表示装置を得る。
【解決手段】 上部バス電極15、16上に、電子放出部と、上部電極13と上部バス電極との接触部に開口部を有する絶縁体からなるバンベーション膜17を形成する。



【特許請求の範囲】
【請求項1】行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられ、前記上部電極の給電線となる上部バス電極を有する薄膜型電子源であって、前記電子放出部と、前記上部電極が前記上部バス電極と接触する部分が開口した絶縁体からなるバンベーション膜が、前記上部バス電極上に形成され、上部電極が前記バンベーション膜上、および前記バンベーション膜の開口部に形成され、かつ前記開口部の段差で切斷されていることを特徴とする薄膜型電子源。

【請求項2】行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられ、前記上部電極の給電線となるが前記電子放出部とは交差しない第1の上部バス電極、および前記電子放出部を囲み前記上部電極に給電する第2の上部バス電極を有する薄膜型電子源であって、前記電子放出部、前記上部電極が前記第2の上部バス電極と接触する部分、および前記第1の上部バス電極の一部の両方が露出する部分が開口している絶縁体からなるバンベーション膜が、前記第1および第2の上部バス電極上に形成され、上部電極が前記バンベーション膜上、および前記バンベーション膜の開口部に形成され、かつ前記開口部の段差で切斷されており、前記第1、第2の上部バス電極が前記開口部で切斷された前記上部電極段で接続されていることを特徴とする薄膜型電子源。

【請求項3】行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられ、同一材料で構成された前記上部電極の給電線となるが前記電子放出部とは交差しない第1の上部バス電極、および前記電子放出部を囲み前記上部電極に給電する第2の上部バス電極と、前記第1の上部バス電極、第2の上部バス電極の構成材料の少なくとも一部からなる前記第1の上部バス電極と第2の上部バス電極との接触部を有する薄膜型電子源であって、前記電子放出部、前記上部電極が前記第2の上部バス電極と接触する部分が開口している絶縁体からなるバンベーション膜が、前記第1および第2の上部バス電極上に形成され、上部電極が前記バンベーション膜上、および前記バンベーション膜の開口部に形成され、かつ前記開口部の段差で切斷されていることを特徴とする薄膜型電子源。

【請求項4】前記バンベーション膜は、SiO、SiO₂、リ

ン珪酸ガラス、ホウ珪酸ガラス等のガラス類、Si₃N₄、Al₂O₃、ポリイミド等の有機絶縁膜のいずれか一つまたはそれらの積層膜であることを特徴とする請求項1乃至3のいずれか一項に記載の薄膜型電子源。

【請求項5】請求項1乃至4のいずれか記載の薄膜型電子源を有する基板と、蛍光体を塗布した蛍光面を有する基板が、スベーサと、幹部材を介して、貼り合わされ、真空に封じられていることを特徴とする表示装置。
【請求項6】前記スベーサは、ガラス製またはセラミックス製の板状スベーサであり、前記上部バス電極または前記第1の上部バス電極前部の両端部分上の、前記上部電極段で被覆されたバンベーション膜と、前記蛍光面のプラッタートリクスの間に配置されていることを特徴とする請求項5記載の表示装置。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】 本発明は、下部電極、絶縁層、上部電極の3層構造を有し、真空中に電子を放出する薄膜型電子源、およびこれを用いた表示装置に関する。

【0002】
【従来の技術】 薄膜型電子源とは、例えば上部電極－絶縁層－下部電極の3層薄膜構造の、上部電極－下部電極の間に電圧を印加して、上部電極の表面から真空中に電子を放出させるものである。例えば金属－絶縁層－金属を積層したMIM (Metal-Insulator-Metal) 型、金属－絶縁層－半導体電極を積層したMIS (Metal-Insulator-Semiconductor) 型や、金属－絶縁層と半導体の積層膜－金属または半導体電極を積層したもの等がある。MIM型については例えば特開平7-65710号に述べられている。薄膜型電子源の動作原理を図2に示した。上部電極13と下部電極11との間に駆動電圧Vdを印加して、絶縁層12中の電界を1〜100V/cm程度にすると、下部電極11中のフェルミ準位近傍の電子はトンネル現象により隔壁を透過し、絶縁層12、上部電極13の伝導帯へ注入されホットエレクトロンとなる。これらのホットエレクトロンのうち、上部電極13の仕事関数φ以上のエネルギーを有するものは、真空20中へ放出される。

【0003】 この薄膜電子源は複数本の上部電極13と、複数本の下部電極11を直交させてマトリクスを形成すると、任意の場所から電子線を発生させることができるので、表示装置の電子源に用いることができる。

【0004】 これまで、Au-Al₂O₃-Al構造のMIM (Metal-Insulator-Metal) 構造などから電子放出が観測されている。

【0005】
【発明が解決しようとする課題】 薄膜型電子源は、絶縁層12で加塗したホットエレクトロンを、上部電極13を透過させて真空中に放出させる。したがって上部電極13の膜厚はホットエレクトロンの散乱を少なくするために数

程度と非常に近くする。

【0006】このような薄型電子源は、上部電極13の表面が有機物等で汚染されるとホットエレクトロンが散乱され電子放出効率が低下してしまう。従来の薄型電子源では、ホト工程により上部電極13を加工する際、上部電極13の表面がレジストで汚染され、電子放出効率が約1桁低下していた。そのため、電子放出効率の回復のために、アッシングによるクリーニング工程が必要であった。この工程は、薄型電子源の絶縁層12にチャージアップ等によるダメージを与えないよう細心の注意が必要であり、製造時の歩留まりが低下しやすい。

【0007】また、薄型電子源でトリリウムを表示装置に使用する場合、薄型電子源でトリリウムを形成した基板と蛍光体を敷布した基板を、枠部材を介してフリットガラス接合により貼り合わせ、真空に封じることにより表示パネルを作成するが、封合イン子程度以上の大型の表示パネルには、大気圧を支持するためスベークを立てる必要がある。通常スベークは薄型電子源へのダメージを与えないように下部電極11の間、あるいは上部バス電極（または上部電極13）の間のおける位置制御が必要である。位置制御が不十分な場合、薄型電子源がダメージを受ける可能性があるが、製造歩留まりが低下しやすい。

【0008】また、薄型電子源はトンネル現象を用いるため、絶縁層12の膜厚が10nm程度と薄く、絶縁層12の形成は通常、陽極酸化法や熱酸化法など、極薄の絶縁層は大面积で均一な膜厚、膜質で作成できる方法を用いるが、異物の混入や下部電極11の膜に欠陥がある場合などは、絶縁層12に欠陥が生じてしまう。特に、単純なトリリウム駆動する場合は、欠陥が存在する下部電極11、上部電極13の配線上の他の正常な薄型電子源も、十分な駆動電圧が印加されなくなるため電子放出できなくなったり、電子放出が低下したりして線欠陥が生じてしまう。このような場合、表示装置等への使用は不可能である。表示装置に用いる場合、極薄の絶縁層12を数10万〜数100万個形成しなければならず、無欠陥の薄型電子源でトリリウムを形成することは困難である。したがって薄型電子源に欠陥が生じた場合でも、点欠陥にとどめ線欠陥を生じさせないようにする必要があり、

【0009】本発明の第一の目的は、ホト工程を用いず上部電極13を加工できる薄型電子源を提供し、アッシング工程を不要にすることで、電子放出効率の高い薄型電子源を提供し、高歩留まりの薄型電子源を提供することにある。

【0010】また、本発明の第二の目的は、スベークを立ててダメージを受け難い薄型電子源を提供し、位置制御を容易にし、表示装置の製造歩留まりを向上させるとともに、スベークの配置場所を最適化してスベークを目立たない高画質の表示装置を提供することにある。【0011】さらに、本発明の第三の目的は、線欠陥の

生じない薄型電子源でトリリウムを提供し、表示装置の製造歩留まりを向上することにある。

【0012】【課題を解決するための手段】上記第一、および第二の目的は、行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制御する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられ、前記上部電極の給電線となる上部バス電極を有する薄型電子源であって、前記電子放出部と、前記上部電極/前記上部バス電極と接触する部分が開口した絶縁層からなるバンベーション膜が、前記上部バス電極上に形成され、上部電極膜が前記バンベーション膜上、および前記バンベーション膜の開口部に形成され、かつ前記開口部の段差で切断されていることにより実現される。

【0013】また、上記第一乃至第三の目的は、行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制御する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられた、前記上部電極の給電線となる前記電子放出部とは交差しない第1の上部バス電極、および前記電子放出部を囲む前記上部電極に給電する第2の上部バス電極を有する薄型電子源であって、前記電子放出部、前記上部電極が前記第2の上部バス電極と接触する部分、および前記第1の上部バス電極の一部と前記第2の上部バス電極の一部の前方が突出する部分が開口している絶縁層からなるバンベーション膜が、前記第1および第2の上部バス電極上に形成され、上部電極膜が前記バンベーション膜上、および前記バンベーション膜の開口部に形成され、かつ前記開口部の段差で切断されており、前記第1、第2の上部バス電極が前記開口部で切断された前記上部電極膜で接続されていることにより実現される。

【0014】また、前記上部電極膜による前記第1、第2の上部バス電極の接続の代わりに、第1の上部バス電極と第2の上部バス電極を、前記第1の上部バス電極、第2の上部バス電極の構成材料の少なくとも一部からなる接続体で接続することによっても実現できる。

【0015】

【発明の実施の形態】実施例1

【実施例1】上記第一、および第二の目的を実現する。本発明の実施例1を図3〜12を用いて説明する。まずガラス等の絶縁性の基板10上に下部電極用の金属材料を成膜する。下部電極材料としてはAlやAl合金を用いる。ここでは、Ndを2原子量%ドーパしたAl-Nd合金を用いた。成膜には例えば、スパッタリング法を用いる。膜厚は300 nmとした。成膜後はホト工程、エッチング工程により図3に示すようなストライプ形状の下部電極11を形成する。エッチン

グは例えば露光、露光、露光の混合水溶液でのエッチングを用いる。

【0016】次に、保護絶縁層14、絶縁層13の形成方法を図4、5を用いて説明する。まず下部電極11上の電子放出部となる部分をレジスト膜19でマスクし、その他の部分を選択的に厚く絶縁層化し、保護絶縁層14とする。化成分を100%とすれば、厚さ約16 nmの保護絶縁層14が形成される。つぎにレジスト膜19を除去し残りの下部電極11の表面を絶縁層化する。例えば化成電圧を6Vとすれば、下部電極11上に厚さ約10 nmの絶縁層12が形成される。

【0017】次に図6に示すように上部電極13への給電線となる上部バス電極膜をスパッタリング法で成膜する。ここでは絶縁層を用い上部バス電極膜15の材料としてAl-Nd合金を用いた。またその膜厚は、バス電極膜15は後で形成する上部電極13が上部バス電極膜15の段差で断絶しないように数nm〜数10nm程度と薄くし、上部バス電極膜16は給電を十分にすること、および後で形成するバンベーション膜のエッチングの際のストライプ膜とするため、数100nm程度と厚く成膜する。

【0018】続いて、図7に示すようにホト工程、エッチング工程により上部バス電極の給電線を下側電極11とは直交する方向にストライプ状に加工する。エッチングは、上部バス電極膜16のAl-Nd合金と上部バス電極膜15のAl-Nd合金を連続してエッチングする。エッチングは例えば、Al-Nd合金については露光、露光、露光の混合水溶液中、H₂SO₄と過酸化水素の混合水溶液中のウエットエッチングを用いればよい。

【0019】次に、図8に示すように、バンベーション膜17となる絶縁層を成膜する。バンベーション膜17は例えば半導体素子等でバンベーション膜として一般的に用いられているものを利用できる。すなわち、材料としてはSiO₂、SiO₂、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類、Si₃N₄、Al₂O₃、ポリイミドなどを利用できる。

また成膜法としてはスパッタリング法、真空蒸着法、化学気相成長法、熱蒸着などを用いることができる。例えばSiO₂、Al₂O₃、Si₃N₄などの成膜にはスパッタリング法や化学気相成長法、SiO₂の成膜には真空蒸着法、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類やポリイミドは回蒸着法などを用いることができる。本実施例ではスパッタリング法により成膜したSi₃N₄膜を用いた。膜厚は薄型電子源の保護が目的であるので例えば0.3〜1nm程度と厚く形成する。

【0020】続いて、図9に示すようにホト工程、エッチング工程により、バンベーション膜17に電子放出部と、後で形成する上部電極13が上部バス電極膜15と接触する電子放出部間を開口する。エッチング法等を用いれば例えばCFを用いたドライエッチング法等を用いればよい。CFなどのフッ化物系エッチングガスを用いたド

ライエッチング法はバンベーション膜17の絶縁層を上部電極膜16のAl合金に対し高い選択比でエッチングするので、上部電極膜16をストライプ膜としてバンベーション膜17のみを加工することが可能である。引き続いて図10に示すように、電子放出部の上部バス電極膜16を露光、露光、露光の混合水溶液中でウエットエッチングする。このエッチャントはAl合金をエッチングするが、バンベーション膜17の用いる絶縁層、上部バス電極膜15のAl-Nd合金とエッチングしない。したがって、上部バス電極膜16のみ高い選択比でエッチングする。そのため、バンベーション膜17に対し、上部バス電極膜16の内側に後述し、底状のバンベーション膜17が形成される。

【0021】次に、図11に示すようにホト工程、エッチング工程により上部バス電極膜15のAl-Nd合金をエッチングし、電子放出部を開口する。この際、上部バス電極膜15のAl-Nd合金が上部バス電極膜16およびバンベーション膜17より電子放出部側に延びるように加工すること、後で形成する上部電極13と接触をとることができる。

【0022】最後に上部電極膜13を成膜を行う。上部電極13としては例えば、Pt、Auの給電線を用い膜厚は数nmである。ここでは10nmとした。図11に上部電極膜を成膜した後の薄型電子源を示す。成膜された薄型上部電極13は、バンベーション膜17の開口部の段差で切断され、各電子領域に分離されるとともに、上部バス電極膜16およびバンベーション膜17より電子放出部側に延びる上部バス電極膜15のAl-Nd合金と接触し、給電される構造となる。したがって、上部電極13加工用のホト工程が不要となり、レジストによる汚染がなくなる。

【0023】また、本実施例の薄型電子源は、上部電極13以外の構成部分のバンベーション膜17により被覆されており、メカニカルなダメージに強くなる。また、電子放出部が厚いバンベーション膜17の開口部の底に形成されるため、メカニカルなダメージを受けにくくなる。したがって、表示装置作製の際にスベークを立ててもダメージを受け難い薄型電子源が得られる。

【0024】実施例2

【実施例2】実施例1の効果に加え、さらに薄型電子源でトリリウムの線欠陥発生を防止できる本発明の実施例2を図3〜6、図12〜17を用いて説明する。まず実施例1の図3〜6と同じ工程で、下部電極11、保護絶縁層14、絶縁層12を順に形成し、さらに上部バス電極用の上部バス電極膜15、上部バス電極膜16の給電線を成膜する。

【0025】続いて、図12に示すようにホト工程、エッチング工程により上部バス電極膜16の給電線、下部電極11とは直交し、電子放出部とは交差しない第1の上部バス電極11、および電子放出部を被覆し第1の上部バス電極11とは交差しない第2の上部バス電極12の形状に加工する。エッチングは、上部バス電極膜16のAl-Nd合金と上部バス電極膜15のAl-Nd合金を連続してエッチングする。エ

(7)

より所望の画像または情報を表示することが出来る。また、上部バス電極8への印加電圧V1の大きさを適宜変えることにより、密着のある画像を表示することが出来る。絶縁層12中に密着される電極を開放するための反転電圧の印加は、ここでは下部電極11の全てに-V1を印加した後、全下部電極11にV3、全上部バス電極8に-V3を印加することにより行った。

【0047】本発明の実施例2の薄膜型電子源を用いた場合は、特に上部電極駆動回路50の出力抵抗を各薄膜型電子源に付加されている薄抵抗23より低抵抗にしておく。図24にその等価回路を示す。この場合、薄膜型電子源が欠陥発生により短絡した場合でも薄抵抗23に電圧が印加されるため、他の正常な薄膜型電子源に電圧が印加され、線欠陥が生じない。したがって、製造歩留りが高い表示装置を提供できる。

【0048】

【発明の効果】本発明によれば、アッシング工程が不要で、電子放出効率が高い薄膜型電子源を用いた高輝度、低消費電力の表示装置を提供できる。また、スベークスにてもダメージを受け難い薄膜型電子源なので、スベークスの配置が容易で、製造歩留りの高い表示装置を提供できる。さらにスベークスの配置を最適化することで、スベークスが自立した厚さの高い表示装置を提供できる。また、各電子源に薄抵抗を付加した薄膜型電子源マトリクスを用い、上部電極駆動回路の出力抵抗を各薄膜型電子源に付加されている薄抵抗より低抵抗にしておくことで、線欠陥が生じにくくなるため、さらに製造歩留りが高い表示装置を提供できる。

【面の簡単な説明】

【図1】本発明の薄膜型電子源の構造を示す図である。
 【図2】薄膜型電子源の動作原理を示す図である。
 【図3】本発明の薄膜型電子源の製法を示す図である。
 【図4】本発明の薄膜型電子源の製法を示す図である。
 【図5】本発明の薄膜型電子源の製法を示す図である。
 【図6】本発明の薄膜型電子源の製法を示す図である。
 【図7】本発明の薄膜型電子源の製法を示す図である。
 【図8】本発明の薄膜型電子源の製法を示す図である。
 【図9】本発明の薄膜型電子源の製法を示す図である。
 【図10】本発明の薄膜型電子源の製法を示す図である。

【図11】本発明の薄膜型電子源の製法を示す図である。

【図12】本発明の薄膜型電子源の製法を示す図である。

【図13】本発明の薄膜型電子源の製法を示す図である。

【図14】本発明の薄膜型電子源の製法を示す図である。

【図15】本発明の薄膜型電子源の製法を示す図である。

【図16】本発明の薄膜型電子源の製法を示す図である。

【図17】本発明の薄膜型電子源の製法を示す図である。

【図18】本発明の薄膜型電子源の製法を示す図である。

【図19】本発明の薄膜型電子源を用いた表示装置の製法を示す図である。

【図20】本発明の薄膜型電子源を用いた表示装置の製法を示す図である。

【図21】本発明の薄膜型電子源を用いた表示装置の製法を示す図である。

【図22】本発明を用いた表示装置での駆動回路への結線を示した図である。

【図23】本発明の表示装置での駆動電圧波形を示した図である。

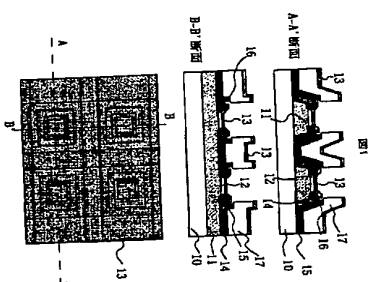
【図24】本発明の薄抵抗を付した薄膜型電子源基板の等価回路図である。

【符号の説明】

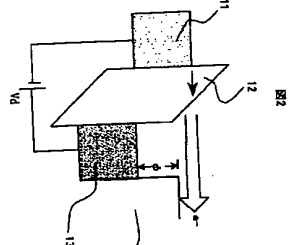
10・・・基板、11・・・下部電極、12・・・絶縁層、13・・・上部電極、14・・・保護絶縁層、15・・・上部バス電極下層、16・・・上部バス電極上層、17・・・レジスト層、20・・・真空、21・・・第1の上部バス電極、22・・・第2の上部バス電極、23・・・薄抵抗、30・・・スベークス、40・・・下部電極駆動回路、50・・・上部電極駆動回路、60・・・加速電圧、110・・・面、111・・・赤色蛍光体、112・・・緑色蛍光体、113・・・青色蛍光体、114・・・マルチバツク、115・・・フリットガラス、116・・・枠。

(8)

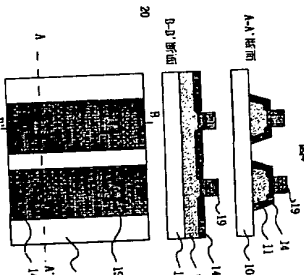
【図1】



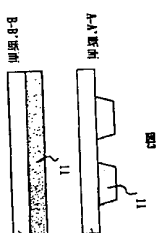
【図2】



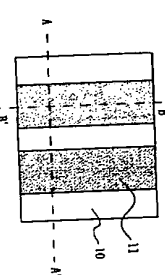
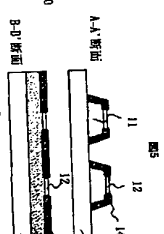
【図4】



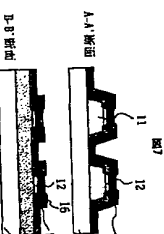
【図3】



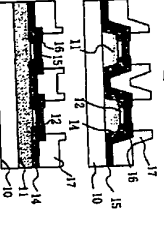
【図5】



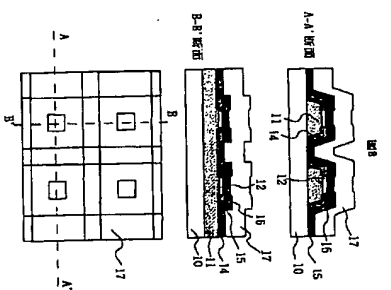
【図7】



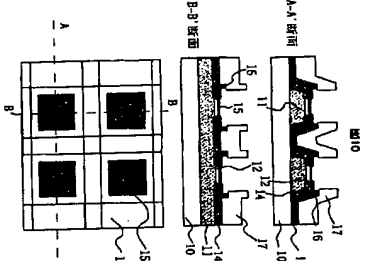
【図9】



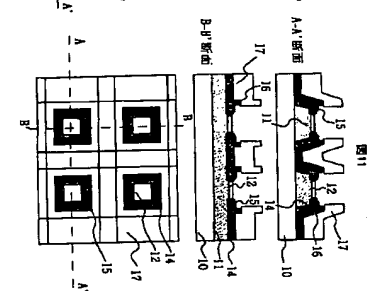
【図 8】



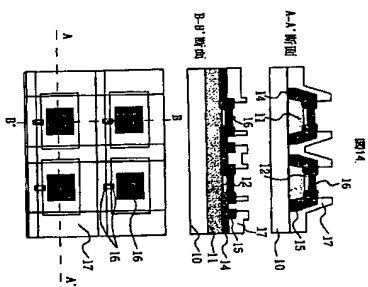
【図 10】



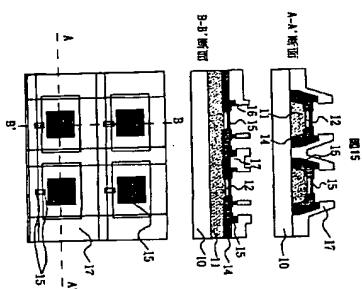
【図 11】



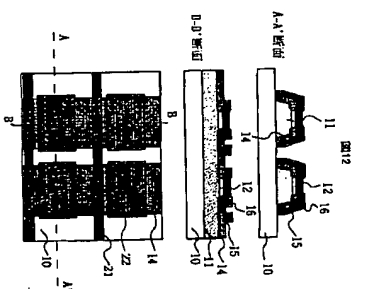
【図 14】



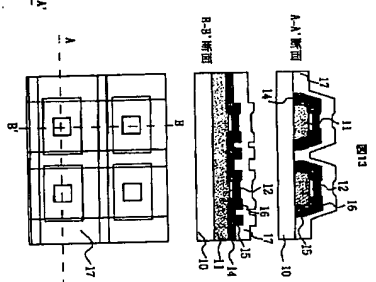
【図 15】



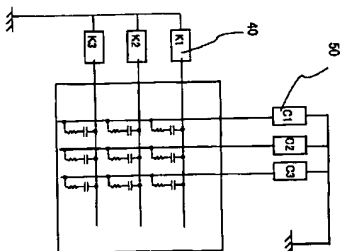
【図 12】



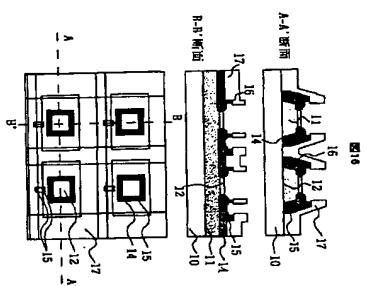
【図 13】



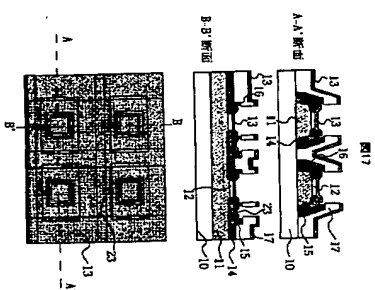
【図 24】



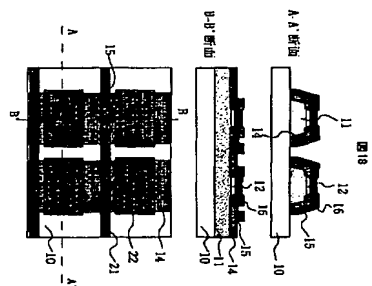
【図 16】



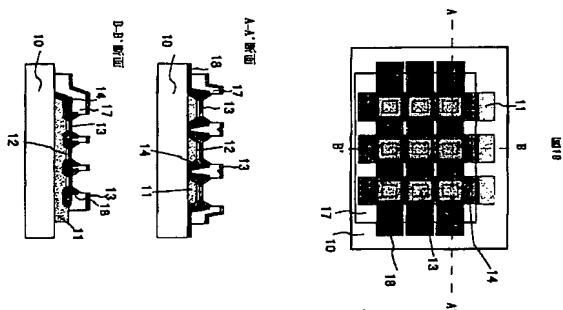
【図 17】



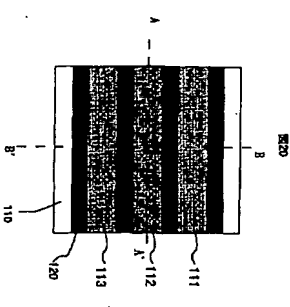
【図18】



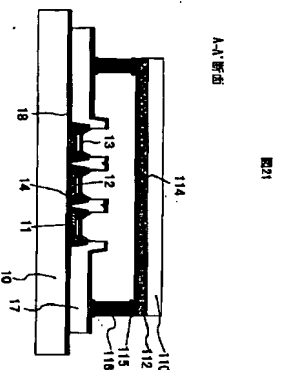
【図19】



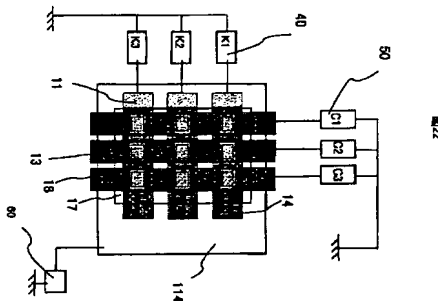
【図20】



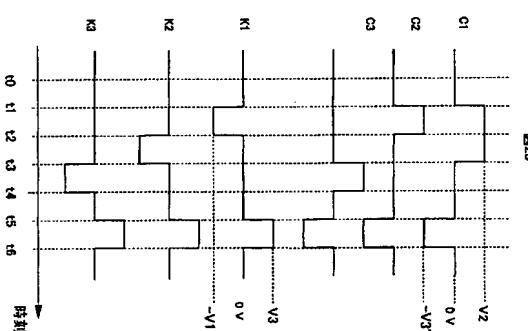
【図21】



【図22】



【図23】



フロントページの続き

(72)発明者 佐川 雅一
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
(72)発明者 石坂 彰利
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考)

5C031 DD17
5C032 CC10
5C036 EE01 EE14 EE19 EF01 EF06
EF09 EG02 EG12
5C094 AA10 AA22 AA42 AA43 BA32
BA34 CA19 DA12 DA13 EC03
FA01 FA02 FB02 FB15 GB10